

Seminario: Programación HW Avanzada para Síntesis en Alto Nivel (Sistema).

Título Conferencias: Estrategias de diseño digital para soluciones empotradas orientadas a aplicaciones eficientes en mercados tecnológicos emergentes.

Varias Conferencias para que el alumno opte por el trabajo cooperativo más acorde con sus actitudes, aptitudes y necesidades.

Profesor: Antonio Díaz Lavadores

Resumen:

La evolución tecnológica hardware actual está propiciando el diseño, desarrollo y utilización de componentes hardware y software en un único chip (SoC), integrando partes, cada vez de mayor complejidad, en un sistema completo y para aplicaciones específicas. Si bien, tradicionalmente se ha venido llamando a este chip Circuito Integrado (IC), debido a las múltiples partes del sistema que incluye, es más apropiado el término Sistema Integrado (IS) o Sistemas Embebidos. Esta capacidad y gran complejidad hardware de los sistemas integrados hace necesario establecer y usar metodologías de diseño que permitan abordar dicha densidad de integración del diseño en unos plazos de tiempo y con garantías de fiabilidad, eficiencia (en conceptos de optimización de área y velocidad) y de implementación de acuerdo a las especificaciones del sistema. Esto sólo es posible con herramientas que automaticen los pasos desde el diseño a alto nivel hasta la síntesis final; y con la evolución de los lenguajes de descripción hardware (HDL) a los lenguajes de alto nivel (HLL o HLS).

El seminario que se oferta tiene como objetivo principal mostrar las estrategias y alternativas de diseño y desarrollo actuales, y aplicar a supuestos prácticos concretos las nuevas metodologías basadas en dispositivos hardware reconfigurables, en aplicaciones específicas o dedicadas que requieran cómputos de datos masivos, tiempos de diseño muy cortos, bajo consumo, control y gestión eficaz de la energía disipada, y con una alta productividad (tiempos de penetración en mercado muy corto, tiempos de permanencia del producto altos).

Las aplicaciones dedicadas y los bloques de propiedad intelectual (bloques IP) son las que soportan entre otros, algoritmos de procesamiento digital de la señal, algoritmos criptográficos, aplicaciones inalámbricas, médicas, defensa, consumo y de seguridad informática, etc.

A veces, es preciso y necesario abordar la construcción de módulos lógicos de propiedad intelectual propios (bloques IP) con unas prestaciones y rendimiento por encima de las que nos proporcionan los bloques estándar, y tengamos que recurrir entornos de diseño artesanal (handcrafted, es decir, ASICs o diseño VLSI). Por lo tanto, y siempre que los alumnos lo demanden se ofertarán una batería de trabajos que amplíen el espectro de la industria semiconductora y concretamente la de muy alta escala de integración.

Para ello se emplearán un ramillete de entornos profesionales dinámicos de diseño de alto nivel como: ISE Foundation, Modelsim o ISIM, Matlab, Simulink System Generator; y Microwind para el diseño y verificación artesanal.

Duración:

El seminario se desarrollará en modalidad ***b-learning***. Se realizarán varias conferencias introductorias a partir de la cual los estudiantes deben realizar un trabajo tutelado durante 6 semanas con una dedicación de **4 horas/semana**, más **2 horas/semana** de **tutorías presenciales**. **No se requieren conocimientos previos**.

Trabajo a desarrollar por el estudiante:

El trabajo experimental a desarrollar se realizará en equipos integrados por tres o cuatro alumnos en alguno de los entornos software mencionados anteriormente, y exigiéndoseles una memoria descriptiva del estudio llevado a cabo, su verificación funcional y temporal. El desarrollo de la memoria deberá incluir necesariamente la justificación del método empleado, comentarios sobre el código desarrollado, el razonamiento crítico de los resultados, conclusiones y líneas de continuación y/o mejora. Se deberán aportar fuentes.

Se hará una lectura y defensa del trabajo realizado.

Evaluación:

- Asistencia participativa (tutorías presenciales): 20%
- Evaluación de la memoria: 50%
- Lectura y defensa del trabajo: 30%

Nº estudiantes: 12.

Fechas y horarios:

Desde el **19 de septiembre al 19 de diciembre de 2016**.

El horario será bien de mañana o de tarde; a consensuar con el resto de alumnos, con la premisa de un día a la semana en sesión de 2 horas.

Día de contacto para fijar planificación del seminario: ***lunes 19 de septiembre de 2016, 15:30 h en despacho 4106.***

Lugar de realización de las clases presenciales:

Laboratorio - 4002 (MSI), 4003 (Microelectrónica), o I7 en función de los recursos disponibles.

Departamento de SI.

Profesor de contacto: Antonio Díaz Lavadores.

Despacho: 4106.